

(19) Japan Patent Office (JP)

(12) Publication of Unexamined Patent Application (A)

(11) Laid-Open No.: Hei 9-160509

(43) Laid-Open Date: June 20, 1997

| (51) Int. Cl. ⁶ | Discrimination Mark | JPO file number | FI | Indication of Technology |
|----------------------------|---------------------|-----------------|--------------|--------------------------|
| G 09 F 9/30 | 338 | | G 09 F 9/30 | 338P |
| G 02 F 1/133 | 550 | | G 02 F 1/133 | 550 |
| | 1/1333 500 | | | 1/1333 500 |

Request for Examination: requested

The Number of Claims: 6 OL (8 pages in total)

(21) Application No.: Hei 7-320073

(22) Application Date: December 8, 1995

(71) Applicant: 000004237

NIPPON ELECTRIC Corporation

7-1, Shiba 5-chome, Minato-ku, Tokyo

(72) Inventor: Michiaki SAKAMOTO

c/o NIPPON ELECTRIC Corporation

7-1, Shiba 5-chome, Minato-ku, Tokyo

(74) Agent: Patent Attorney: Yosuke GOTO (and two others)

(54) [Title of the Invention] Active Matrix Substrate and Manufacturing Method thereof

(57) [ABSTRACT]

[Object] To reduce the number of patterning steps and improve the yield

[Solution] A gate electrode 1, a scan line 3, and a portion 14 of a signal line 2 are formed on a glass substrate 20, a gate insulating film 4 and a non-doped a-Si film 5 are continuously deposited, a channel protection film 11 is then laminated, patterning is carried out for contact holes 8 in a drain 6 and a source 7, while peripheral contact portions for leading portions of the scan line 3 and the signal line 2 as well as a contact hole 9 reaching the signal line 2 are formed, a contact layer 10 is formed, and a conductive material is then deposited to form a pixel electrode 15, a source electrode 13 and a drain electrode 12, and the portion 14 of the signal line 2 by patterning.

[Scope of Claims]

[Claim 1] An active matrix substrate characterized in that, in a thin film transistor substrate in which a channel-protection type thin film transistor is arranged on a substrate, the channel-protection type thin film transistor comprising a gate electrode, a gate insulating film, a semiconductor layer, a drain electrode and a source electrode, and a channel passivation: a signal line is composed of a first region

comprising a metal of the same layer as a scan line and a second region comprising a metal of the same layer as a pixel electrode, and the first and second regions are connected to each other through a contact hole provided on the first region.

[Claim 2] The active matrix substrate according to claim 1, characterized in that the signal line other than the signal line portion made from the same layer as the scan line comprises a light-transmitting conductive material subjected to patterning to be shared with the pixel electrode.

[Claim 3] The active matrix substrate according to claim 2, characterized in that the signal line other than the signal line portion made from the same layer as the scan line comprises a metal subjected to patterning to be shared with the drain electrode and the source electrode.

[Claim 4] A method for manufacturing an active matrix substrate, characterized by comprising: a first step of forming a gate electrode, a scan line, and a portion of a signal line on a light-transmitting substrate; a second step of continuously growing a gate insulating film and a non-doped semiconductor layer and patterning the semiconductor layer; a third step of depositing a channel protection film and forming contact holes in drain and source portions; a fourth step of forming a contact layer by ion doping; and a fifth step of forming a pixel electrode and the rest of the signal line with the use of a light-transmitting conductive film.

[Claim 5] The method for manufacturing an active matrix substrate according to claim 4, characterized by comprising, instead of the fifth step, the steps of: forming the drain electrode and source electrode and the rest of the signal line with the use of a metal; and forming the pixel electrode with the use of the light-transmitting conductive film.

[Claim 6] The method for manufacturing an active matrix substrate according to claim 4 or 5, characterized in that plasma doping is used in the fourth step.

[Detailed Description of the Invention]

[0001]

[Technical Field of the Invention] The present invention relates to an active matrix liquid crystal display device including a channel-protection type thin film transistor, which is used in a liquid crystal display device or the like, and a manufacturing method thereof.

[0002]

[Prior Art] FIG. 6 shows the concept of an active matrix liquid crystal display device including a conventional channel-protection type thin film transistor. The active matrix liquid crystal display device has, as shown in FIG. 6, a structure including a thin film transistor (TFT) substrate 119 and an opposed substrate 120, and a twist nematic (TN) liquid crystal 121 sandwiched between the substrates.

[0003] The TFT substrate 119 is composed of a transparent pixel electrode 115 provided for each pixel, a signal line 123 and a scan line 122, and further a thin film transistor 124 provided for each pixel electrode 115, which are formed in a matrix form on a glass substrate. The opposed substrate 120 is composed of a transparent electrode 125, RGB layers (denoted by R and G in FIG. 6) 126 corresponding to each pixel, and a light-shielding layer 127 intended to block light.

[0004] FIGS. 7(a) to 7(h) show a method for manufacturing a conventional channel-protection type thin film transistor (TFT) substrate. A first metal film such as Cr, W, Ta, or Al is deposited on a glass

substrate 200 by sputtering or the like. This film is subjected to patterning to form a gate electrode 201 (FIG. 7(a)). Next, a gate insulating film 204 composed of SiN_x or the like, a non-doped amorphous silicon film (a-Si film) 205, and a channel protection film 211 composed of SiN_x or the like are continuously grown by plasma CVD, and the channel protection film 211 is then subjected to patterning into an island shape (FIG. 7(b)).

[0005] Next, P⁺ ions are implanted from above the channel protection film 211, thereby forming contact layers 210 for a drain 206 and a source 207 (FIG. 7(c)). Further, the a-Si film 205 is subjected to patterning into an island shape (FIG. 7(d)). Next, the gate insulating film 204 is subjected to patterning to selectively remove only the gate insulating film 204 on a peripheral contact portion 217 composed of the first metal film (FIG. 7(e)). Next, a second metal film such as Cr, W, Ta, or Al is deposited by sputtering or the like and is subjected to patterning to form a signal line, a source electrode 212 and a drain electrode 213 (FIG. 7(f)). Further, a transparent conductive film such as an indium tin oxide (ITO) is deposited and subjected to patterning to form a pixel electrode 215 (FIG. 7(g)). Next, an insulating film such as SiN_x is grown by plasma CVD or the like, patterning is carried out for removing a portion of the insulating film, which is deposited on the pixel electrode 215 and the like, to form a passivation film 218 (FIG. 7(h)).

[0006] As described above, the method for forming a channel-protection type thin film transistor substrate involves the seven patterning steps corresponding to FIG. 7(a) to 7(h) (except FIG. 7(c)). The method described above involves a large number of steps, seven patterning steps, and thus have the problems of the poor yield and ballooning production costs.

[0007] In addition, since the conventional method performs ion implantation from above the a-Si film 205 layer, ions are implanted into the upper portion of the a-Si film 205 layer to result in the formation of the contact layers 210 as shown in FIG. 7(d), while a side portion 205a of the a-Si film 205 layer has no contact layer 210 formed due to no ion implanted.

[0008] Thus, when the source electrode 212 and the drain electrode 213 are formed by patterning on the contact layers 210 after carrying out the ion implantation, the source electrode 212 and the drain electrode 213 directly come in contact with the side portion 205a of the a-Si 205 shown in FIG. 7(f). Therefore, side leak current flows, leading to high off current in the TFT.

[0009] In order to solve these problems, Japanese Patent Laid-Open No. H5-95002 discloses the prior art described below. In the same way as in the conventional example described above, as shown in FIGS. 8(a) to 8(h), a gate insulating film 204 and an a-Si film 205 are continuously formed on a gate electrode 201 and subjected to patterning (FIGS. 8(a), FIG. 8(b)), a channel protection film 211 is then formed on these films, and contact holes 208 are respectively formed in two areas (FIG. 8(c)). Next, with the channel protection film 211 as a mask, P⁺ ions are implanted from above a glass substrate 200 to form contact layers 210 (FIG. 8(d)). After that, in the same way as in the prior art described above, patterning is carried out for a peripheral contact portion 217, a drain electrode 213, a pixel electrode 215, and a passivation film 218 (FIGS. 6(e) to (h)). In this case, a source 207 and the drain electrode 213 get contact with the contact layers 210 only via the contact holes 208, but do not directly get contact with the a-Si film 205 layer. Therefore, generation of side leak current can be suppressed. However, this

method involves the seven patterning steps, which remains unchanged from the prior art described above. [0010] In addition, as another prior art, Japanese Patent Laid-Open No. S60-128486 discloses the following technique in which signal lines are formed when scan lines and pixel electrodes are formed, and connected through contact holes. As shown in FIG. 9, first, a gate electrode 301 and a portion of a scan line 303 are formed during the formation of a first metal (FIG. 9(a)). Next, a gate insulating film 304 and an a-Si film 305 are deposited, and the a-Si film 305 is subjected to patterning (FIG. 9(b)). Further, after forming contact holes 308 in the gate insulating film 304 (FIG. 9(c)), a portion 328 of the scan line, a signal line 302, a source electrode 312 and a drain electrode 313, and a pixel electrode 315 are formed with the use of a transparent conductive material (FIG. 9(d)). Finally, after the formation and patterning of a passivation film 318 (FIG. 9(e)), a light-shielding layer 327 is provided (FIG. 9(f)). This method reduces the number of patterning steps by one step as compared to each prior art described above, by carrying out the patterning step for the signal line at the same time as the patterning for the scan line and the pixel portion.

[0011]

[Problem to be solved by the Invention] The conventional channel protection type thin film transistor described above requires a number of patterning steps, seven (six) patterning steps, which results in a complex manufacturing process, and thus has the problems of poor yield and increased cost.

[0012] An object of the present invention is to provide an active matrix substrate that can be manufactured with the reduced number of patterning steps at reduced production cost and high yield in a process for a channel protection type thin film transistor, and a method for manufacturing the active matrix substrate.

[0013]

[Means for Solving the Problem] According to the present invention, there is provided an active matrix substrate characterized in that, in a thin film transistor substrate in which a channel-protection type thin film transistor is arranged on a substrate, the channel-protection type thin film transistor comprising a gate electrode, a gate insulating film, a semiconductor layer, a drain electrode and a source electrode, and a channel passivation: a signal line is composed of a first region comprising a metal of the same layer as a scan line and a second region comprising a metal of the same layer as a pixel electrode, and the first and second regions are connected to each other through a contact hole provided on the first region.

[0014] In addition, according to the present invention, there is provided a method for manufacturing an active matrix substrate, characterized by comprising: a first step of forming a gate electrode, a scan line, and a portion of a signal line on a light-transmitting substrate; a second step of continuously growing a gate insulating film and a non-doped semiconductor layer and patterning the semiconductor layer; a third step of depositing a channel protection film and forming contact holes in drain and source portions; a fourth step of forming a contact layer by ion doping; and a fifth step of forming a pixel electrode and the rest of the signal line with the use of a light-transmitting conductive film.

[0015]

[Embodiments of the Invention] Examples of the present invention will be now described with reference to the drawings. FIG. 1 shows a unit element diagram of an active matrix substrate according to a first

embodiment of the present invention.

[0016] The unit element includes a scan line 3 for driving a gate electrode 1 of a thin film transistor, a signal line 2 for transmitting signals to a pixel, a portion 14 of the signal line, a thin film transistor 24 as a switching element, and a pixel electrode 15. The pixel electrode 15 is connected to an a-Si film (a semiconductor layer) 5 through a contact hole 8 created in a channel protection film. In addition, the signal line 2 is formed from the same layer (first region) as the scan line 3, while the portion 14 of the signal line 2 is formed from the same layer (second region) as the pixel electrode 15 and connected to the lowest signal line 2 through a contact hole 9 reaching the signal line 2.

[0017] Next, a manufacturing method for the first embodiment of the present invention will be described also with reference to FIGS. 2(a) to 2(h). First, a first metal film composed of Cr, W, Ta, Al, or the like is deposited on a transparent glass substrate 20 by sputtering or the like to have a thickness of 1000 Å to 3000 Å, and subjected to patterning by the use of photolithography to form a gate electrode 1, a scan line 3, and a portion 14 of a signal line 2 (FIG. 2(a), FIG. 2(e)). Next, a gate insulating film 4 composed of SiN_x or the like and a non-doped a-Si film 5 are continuously deposited by plasma CVD or the like to have thicknesses of 2000 Å to 6000 Å and 500 Å to 1000 Å, respectively, and the a-Si film 5 layer is subjected to patterning into an island shape (FIG. 2(b), FIG. 2(f)). Next, a channel protection film 11 composed of SiN_x or the like is laminated over the glass substrate 20 by plasma CVD or the like to have a thickness of 1000 Å to 3000 Å, patterning is carried out for contact holes 8 in a drain portion 6 and a source portion 7 while peripheral contact portions for leading portions of the scan line 3 and the signal line 2 as well as a contact hole 9 reaching the signal line 2 are formed (FIG. 2(c), FIG. 2(g)). Since the channel protection film 11 on the order of 2000 Å and the gate insulating film 4 on the order of 4000 to 6000 Å, that is, the insulating films that are different in film thickness have to be etched in this patterning step, wet etching needs to be carried out using conditions enough to obtain sufficient selectivity to the a-Si film 5 under the contact hole 8 portion, for example, using BHF. Next, P⁺ ion doping from above the channel protection film 11 is performed to form a contact layer 10. Next, a transparent conductive material such as an indium tin oxide (ITO) is sputtered to form a pixel electrode 15, a source electrode 13 and a drain electrode 12, and the portion 14 of the signal line by patterning ((FIG. 2(d), FIG. 2(h)). As described above, the number of patterning steps is four.

[0018] Since the first embodiment uses a transparent conductive material for the portion 14 of the signal line 2, the signal line 2 has a large wiring resistance. Therefore, improvement is required for larger panels. In a second embodiment described below, the signal line 2 is formed from only metal in order to deal with larger panels.

[0019] FIG. 3 shows a unit element diagram of an active matrix substrate according to the second embodiment of the present invention. It is to be noted that the same portions as those in the first embodiment are denoted by the same reference numbers. The unit element includes a scan line 3 for driving a gate electrode 1 of a thin film transistor 24, a signal line 2 for transmitting signals to a pixel, a portion 14 of the signal line 2, the thin film transistor 24 as a switching element, and a pixel electrode 15. A source 7 and a drain 6 are composed of a metal, and connected to an a-Si film 5 through contact holes 8 created in a channel protection film. The pixel electrode 15 is located in the same layer as the source 7

and the drain 6. In addition, the signal line 2 is formed from the same layer as the scan line 3. The portion 14 of the signal line 2 is formed in the same way as the drain 6, and connected to the lowest signal line 2 through a contact hole 9 reaching the signal line 2.

[0020] A manufacturing method for the second embodiment of the present invention will be described below also with reference to FIGS. 4. In the same way as in the first embodiment, a gate electrode 1, a scan line 3, and a portion 14 of a signal line 2 are formed on a glass substrate 20 (FIG. 4(a), FIG. 4(f)), a gate insulating film 4 and a non-doped a-Si film 5 are continuously formed, and the semiconductor layer is subjected to patterning into an island shape (FIG. 4(b), FIG. 4(g)). Next, a channel protection film 11 is deposited, and contact holes 8 and a contact hole 9 reaching the lower signal line 2 are formed (FIG. 4(c), FIG. 4(h)). After forming contact layers 10 by P⁺ ion doping, a metal such as Cr, W, Ta, Al, or the like is deposited and subjected to patterning to form the portion 14 of the signal line 2 and a source electrode 13 and a drain electrode 12 (FIG. 4(d), FIG. 4(i)). Finally, a transparent conductive material such as an ITO is formed by sputtering and subjected to patterning into a pixel electrode 15 (FIG. 4(e), FIG. 4(j)). Accordingly, this embodiment involves the five patterning steps.

[0021] Next, a third embodiment of the present invention will be described with reference to FIG. 5. The structure of this embodiment is the same as those in the first or second embodiment. However, in order to form the contact layers 10, plasma doping is carried out with the use of PH₃ in CVD after forming the channel protection film 11 by plasma CVD, rather than carrying out P⁺ ion doping. The plasma doing conditions are, for example, a gas flow rate of 1000 sccm, a pressure of 8 Pa, power of 100W, a temperature of 250 degrees, and a time period of 1 minute. This allows the contacts to be formed at low cost without the use of an ion doping apparatus.

[0022]

[Advantage of the Invention] As described above, the active matrix substrate according to the present invention is formed in accordance with the patterning steps for forming gates, islands, contacts, and pixels, and the number of patterning steps can be thus reduced compared to the prior art.

[0023] Thus, an active matrix substrate of the present invention and a manufacturing method thereof can avoid the poor yield and increased cost associated with the complex process, which become problems in channel protection type thin film transistor panels, and can produce products with excellent characteristics at high yield and low production cost.

[Brief Description of the Drawings]

[FIG. 1] a plan view illustrating the structure of a first embodiment of the present invention

[FIG. 2] cross-sectional views (a) to (d) for each step for illustrating a manufacturing method for the first embodiment of the present invention; and plan views (e) to (h) corresponding to (a) to (d) respectively

[FIG. 3] a plan view illustrating the structure of a second embodiment of the present invention

[FIG. 4] cross-sectional views (a) to (e) for each step for illustrating a manufacturing method for the second embodiment of the present invention; and plan views (f) to (j) corresponding (a) to (e)

[FIG. 5] a cross-sectional view illustrating a manufacturing method of a third embodiment of the present invention

[FIG. 6] a cross-sectional view illustrating the structure of a conventional active matrix liquid crystal

display device

[FIG. 7] cross-sectional views (a) to (h) for each step for illustrating a manufacturing method for a conventional channel-protection type thin film transistor

[FIG. 8] cross-sectional views (a) to (h) for each step for illustrating a manufacturing method for another prior art thin film transistor

[FIG. 9] plan views (a) to (f) for each step for illustrating a manufacturing method for still another prior art thin film transistor

[Explanation of Reference]

| | |
|--------------|--------------------------------------|
| 1, 201, 301 | gate electrode |
| 2, 123, 302 | signal line |
| 3, 122, 303 | scan line |
| 4, 204, 304 | gate insulating film |
| 5, 205, 305 | a-Si film |
| 6, 206 | drain |
| 7, 207 | source |
| 8, 208, 308 | contact hole |
| 9 | contact hole reaching signal line |
| 10, 210 | contact layer |
| 11, 211 | channel protection film |
| 12, 213, 313 | drain electrode |
| 13, 212, 312 | source electrode |
| 14 | portion of signal line |
| 15, 215, 315 | pixel electrode |
| 20, 200 | glass substrate |
| 24, 124 | thin film transistor |
| 119 | thin film transistor (TFT) substrate |
| 120 | opposed substrate |
| 121 | TN liquid crystal |
| 126 | RGB color layer |
| 127, 327 | light-shielding layer |
| 205a | side portion of a-Si layer |
| 217 | peripheral contact portion |
| 218, 318 | passivation film |

Family list

2 family member for: **JP9160509**

Derived from 1 application

[Back to JP9160509](#)

1 ACTIVE-MATRIX SUBSTRATE AND ITS MANUFACTURE

Inventor: SAKAMOTO MICHIAKI

Applicant: NIPPON ELECTRIC CO

EC:

IPC: *G02F1/1333; G02F1/133; G09F9/30* (+5)

Publication info: **JP2803713B2 B2** - 1998-09-24

JP9160509 A - 1997-06-20

Data supplied from the *esp@cenet* database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-160509

(43) 公開日 平成9年(1997)6月20日

| (51) Int.Cl. ⁸ | 識別記号 | 庁内整理番号 | F I | 技術表示箇所 |
|---------------------------|-------|--------|---------------|---------|
| G 0 9 F 9/30 | 3 3 8 | | G 0 9 F 9/30 | 3 3 8 P |
| G 0 2 F 1/133 | 5 5 0 | | G 0 2 F 1/133 | 5 5 0 |
| 1/1333 | 5 0 0 | | 1/1333 | 5 0 0 |

審査請求 有 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願平7-320073

(22) 出願日 平成7年(1995)12月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 坂本 道昭

東京都港区芝五丁目7番1号 日本電気株式会社内

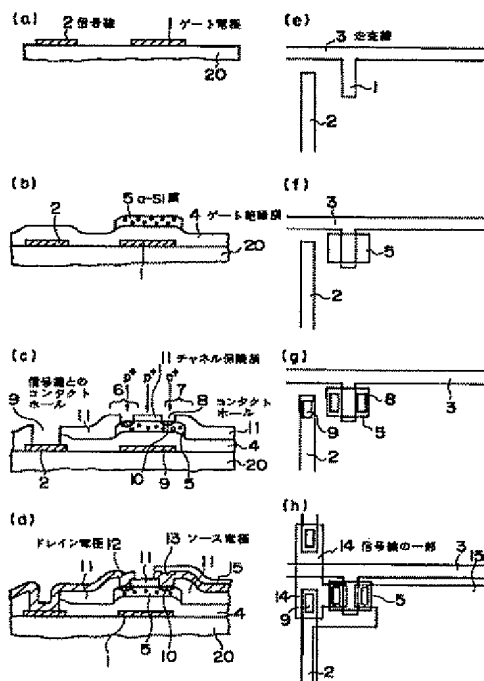
(74) 代理人 弁理士 後藤 洋介 (外2名)

(54) 【発明の名称】 アクティブマトリクス基板及びその製造方法

(57) 【要約】

【課題】 パターニング工程の減少させ、歩留まりを向上させること。

【解決手段】 ガラス基板20上にゲート電極1、走査線3および信号線2の一部14を形成し、ゲート絶縁膜4、ノンドープa-Si膜5に連続的に成膜し、次に、チャネル保護膜11を積層し、ドレイン6およびソース7にコンタクトホール8をパターニングし、同時に前記走査線3および前記信号線2引出部の周辺コンタクト部および前記信号線2とのコンタクトホール9を形成し、コンタクト層10を形成し、次に導電性材料を堆積し、画素電極15、ソース電極13・ドレイン電極12および前記信号線2の一部14をパターン形成する。



【特許請求の範囲】

【請求項1】 基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン電極・ソース電極およびチャネルパッシベーションからなるチャネル保護型薄膜トランジスタを配列してなる薄膜トランジスタ基板において、信号線が走査線と同層の金属からなる第1の領域と、画素電極と同層の金属からなる第2の領域とから構成され、かつ前記第1及び第2の領域は、前記第1の領域上に設けられているコンタクトホールを介して接続されていることを特徴とするアクティブマトリクス基板。

【請求項2】 前記請求項1記載のアクティブマトリクス基板において、前記走査線と同層で作られる前記信号線部以外の前記信号線が前記画素電極と共通にパターンニングした透光性を有するな導電材料であることを特徴とするアクティブマトリクス基板。

【請求項3】 前記請求項2記載のアクティブマトリクス基板において、前記走査線と同層で作られる前記信号線部以外の前記信号線が前記ドレイン電極・ソース電極と共通にパターンニングした金属であることを特徴とするアクティブマトリクス基板。

【請求項4】 透光性を有するな基板上にゲート電極、走査線、信号線の一部を形成する第1の工程と、ゲート絶縁膜およびノンドープ半導体層を連続成長させ、前記半導体層をパターンニングする第2の工程と、チャネル保護膜を成膜し、ドレイン・ソース部にコンタクトホールを形成する第3の工程と、イオンドーピングによりコンタクト層を形成する第4の工程と、透光性を有する導電膜により画素電極および前記信号線の残りを形成する第5の工程を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項5】 請求項4記載のアクティブマトリクス基板の製造方法において、前記第5の工程の代わりに、前記ドレイン電極・ソース電極および前記信号線の残りを金属で形成する工程と、前記透光性を有する導電膜により前記画素電極を形成する工程と、を含むことを特徴とするアクティブマトリクス基板の製造方法。

【請求項6】 請求項4または5記載のアクティブマトリクス基板の製造方法において前記第4の工程においてプラズマドーピングを用いることを特徴とするアクティブマトリクス基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置などにおいて用いられる、チャネル保護型薄膜トランジスタを有するアクティブマトリクス型液晶表示装置およびその製造方法に属する。

【0002】

【従来の技術】図6は従来のチャネル保護型薄膜トランジスタを有するアクティブマトリクス液晶表示装置の概念を示している。このアクティブマトリクス液晶表示装

置は図6に示すように、薄膜トランジスタ(TFT)基板119および対向基板120とを有し、これらの間にツイストネマティック(TN)液晶121を挟持する構造を取っている。

【0003】TFT基板119はガラス基板上にマトリクス上に形成された各画素毎に設けられた透明な画素電極115と、信号線123および走査線122、さらに画素電極115毎に設けられた薄膜トランジスタ124からなる。また、対向基板120は透明な電極125および各画素毎に対応したRGB色層(図6においてR、Gで示した)126および庶光を目的とした遮光層127からなる。

【0004】図7(a)～図7(h)は従来のチャネル保護型薄膜トランジスタ(TFT)基板の製造方法を示している。ガラス基板200上にはCr、W、Ta、Alなどの第1金属膜がスパッタ法などを用いて被着されている。これをパターンニングしてゲート電極201を形成する(図7(a))。次にSiNxなどからなるゲート絶縁膜204、ノンドープアモルファスシリコン膜(a-Si膜)205、およびSiNxなどからなるチャネル保護膜211をプラズマCVD法により連続成長させた後、チャネル保護膜211をアイランド上にパターンニングする(図7(b))。

【0005】つぎにチャネル保護膜211上部よりP+イオンを注入し、これによりドレイン206・ソース207のコンタクト層210を形成する(図7(c))。さらにa-Si膜205をアイランド上にパターンニングする(図7(d))。次にゲート絶縁膜204をパターンニングして第1金属膜からなる周辺コンタクト部217上のゲート絶縁膜204のみを選択的に除去する(図7(e))。次にCr、W、Ta、Alなどからなる第2金属膜をスパッタ法などにより被着、パターンニングして信号線およびソース電極212・ドレイン電極213を形成する(図7(f))。さらに酸化インジウム錫(ITO)などの透明導電膜を被着、パターンニングし、画素電極215を形成する(図7(g))。次にSiNxなどの絶縁膜をプラズマCVDなどで成長させ、画素電極215上などの部分を除去するパターンニングを行って、パッシベーション膜218を形成する(図7(h))。

【0006】以上のようにチャネル保護型薄膜トランジスタ基板の形成方法は、パターンニング工程が図7(a)～図7(h)(図7(c)を除く)に対応して7回となる。上記方法ではパターンニング工程が7回と工程数が多く、歩留りが悪く製造コストがかさむ問題を有していた。

【0007】また、従来の方法では、a-Si膜205層の上方よりイオン注入を行うため、図7(d)に示すようにa-Si膜205層の上部はイオンが打ち込まれコンタクト層210が形成されるが、a-Si膜205層の側面部205aはイオンが打ち込まれないためにコ

ンタクト層 210 が形成されない。

【0008】従って、イオン注入を行った後、コンタクト層 210 上にソース電極 212 およびドレイン電極 213 をパターン形成した場合、図 7 (f) に示した a-Si 205 の側面部 205a に、直接ソース電極 212 及びドレイン電極 213 が接触するため、サイドリーク電流が流れ、TFT のオフ電流が高いという問題を有していた。

【0009】これらの問題を解決するため、特開平 5-95002 号公報により以下に説明する従来技術が開示されている。前記従来例と同様に図 8 (a) ~ 図 8

(h) に示すようにゲート電極 201 上にゲート絶縁膜 204、a-Si 膜 205 を連続形成、パターニングした後 (図 8 (a)、図 8 (b))、これらの上にチャネル保護膜 211 を形成し、2箇所コンタクトホール 208 をそれぞれ形成する (図 8 (c))。次にガラス基板 200 の上方から、チャネル保護膜 211 をマスクとして P+イオンを注入しコンタクト層 210 を形成する (図 8 (d))。この後、前記従来技術と同様に周辺コンタクト部 217、ドレイン電極 213、画素電極 215、パッシベーション膜 218 のパターニングを行う

(図 6 (e) ~ (h))。この場合、ソース 207 およびドレイン電極 213 はコンタクトホール 208 を介してのみコンタクト層 210 と接し、a-Si 膜 205 層と直接接触しないのでサイドリーク電流の発生を抑制できる。しかし、この方法ではパターニング工程は 7 回で前記従来技術とかわらない。

【0010】また、他の従来技術として、特開昭 60-128486 号公報には、信号線を走査線および画素電極形成時に形成し、コンタクトホールを介して接続させる以下の技術が開示されている。図 9 に示すように、まず第 1 金属形成時において、ゲート電極 301、走査線 303 の一部を形成する (図 9 (a))。次にゲート絶縁膜 304、a-Si 膜 305 を成膜し、a-Si 膜 305 をパターニングする (図 9 (b))。さらにゲート絶縁膜 304 にコンタクトホール 308 を形成した後 (図 9 (c))、走査線の一部 328、信号線 302、ソース電極 312・ドレイン電極 313、および画素電極 315 を透明な導電性材料により形成する (図 9 (d))。最後にパッシベーション膜 318 を形成、パターニングした後 (図 9 (e))、遮光層 327 を設ける (図 9 (f))。この方法では信号線のパターニング工程を走査線および画素部のパターニングと同時に行うことにより前記各従来技術よりパターニング工程が 1 回減る。

【0011】

【発明が解決しようとする課題】上記、従来型のチャネル保護型薄膜トランジスタでは、パターニング工程は 7 回 (6 回) と多く、製造プロセスが複雑化し、歩留まりを劣化させ、コストを上げる問題を有している。

【0012】本発明の課題は、チャネル保護型薄膜トランジスタプロセスにおいて、パターニング工程を削減し、製造コストを低減しかつ高い歩留まりで製造することのできるアクティブマトリクス基板及びその製造方法を提供することにある。

【0013】

【課題を解決するための手段】本発明によれば、基板上にゲート電極、ゲート絶縁膜、半導体層、ドレイン電極・ソース電極およびチャネルパッシベーションからなるチャネル保護型薄膜トランジスタを配列してなる薄膜トランジスタ基板において、信号線が走査線と同層の金属からなる第 1 の領域と、画素電極と同層の金属からなる第 2 の領域とから構成され、かつ前記第 1 及び第 2 の領域は、前記第 1 の領域上に設けられているコンタクトホールを介して接続されていることを特徴とするアクティブマトリクス基板が得られる。

【0014】また、本発明によれば、透光性を有するな基板上にゲート電極、走査線、信号線の一部を形成する第 1 の工程と、ゲート絶縁膜およびノンドープ半導体層を連続成長させ、前記半導体層をパターニングする第 2 の工程と、チャネル保護膜を成膜し、ドレイン・ソース部にコンタクトホールを形成する第 3 の工程と、イオンドーピングによりコンタクト層を形成する第 4 の工程と、透光性を有する導電膜により画素電極および前記信号線の残りを形成する第 5 の工程を含むことを特徴とするアクティブマトリクス基板の製造方法が得られる。

【0015】

【発明の実施の形態】次に、本発明の実施例について図面を参照にして説明する。図 1 は本発明の第 1 の実施の形態例のアクティブマトリクス基板の単位素子図を示している。

【0016】単位素子は薄膜トランジスタのゲート電極 1 を駆動する走査線 3、画素に信号を送る信号線 2、信号線の一部 14、スイッチング素子としての薄膜トランジスタ 24、および画素電極 15 とを有している。画素電極 15 はチャネル保護膜に空けたコンタクトホール 8 を介して a-Si 膜 (半導体層) 5 とつながっている。また、信号線 2 は走査線 3 と同一層 (第 1 の領域) で形成され、信号線 2 の一部 14 は画素電極 15 と同一層

(第 2 の領域) で形成されて、信号線 2 とのコンタクトホール 9 を介して最下層の信号線 2 とつながっている。

【0017】次に図 2 (a) ~ 図 2 (h) をも参照にして本発明の第 1 の実施の形態例の製造方法について説明する。まず、透明なガラス基板 20 の上に Cr、W、Ta、Al などからなる第 1 金属膜をスパッタ法などにより 1000 Å ~ 3000 Å の厚さに堆積し、フォトリソグラフィ法を用いてパターニングし、ゲート電極 1、走査線 3 および信号線 2 の一部 14 を形成する (図 2 (a)、図 2 (e))。次に、プラズマ CVD 法などにより SiNx などからなるゲート絶縁膜 4 を 2000 Å

～6000Åの厚さに、ノンドープa-Si膜5を500Å～1000Åの厚さに連続的に成膜し、a-Si膜5層をアイランド状にパターニングする(図2(b)、図2(f))。次にプラズマCVD法などによりSiNxなどからなるチャネル保護膜11をガラス基板20上に1000Å～3000Å積層し、ドレイン6部およびソース7部分にコンタクトホール8をパターニングし、同時に走査線3および信号線2引出部の周辺コンタクト部および信号線2のコンタクトホール9を形成する(図2(c)、図2(g))。このパターニング工程では2000Å程度のチャネル保護膜11と4000～6000Å程度のゲート絶縁膜4、すなわち膜厚の異なる絶縁膜をエッチングしなくてはならないので、コンタクトホール8部下のa-Si膜5との選択比が充分とれるような条件を用い、例えばBHFによりウェットエッチングする必要がある。次にチャネル保護膜11の上部からP+イオンドーピングを行い、コンタクト層10を形成する。次に酸化インジウム錫(ITO)などの透明性導電材料をスパッタして、画素電極15、ソース電極13・ドレイン電極12および信号線の一部14をパターン形成する(図2(d)、図2(h))。以上のようにパターニング工程は4回となる。

【0018】第1の実施の形態例では信号線2の一部14を透明導電性材料を用いているので、信号線2の配線抵抗が大きいため、パネルの大型化にはさらに改良を要する。以下に説明する第2の実施の形態例ではパネルの大型化に対応するため、信号線2を金属のみで形成している。

【0019】図3は、本発明の第2の実施の形態例のアクティブマトリクス基板の単位素子図を示している。尚、第1の実施の形態例と同じ部分には、同じ符号を符して説明する。単位素子は薄膜トランジスタ24のゲート電極1を駆動する走査線3、画素に信号を送る信号線2、信号線2の一部14、スイッチング素子としての薄膜トランジスタ24、および画素電極15からなる。ソース7およびドレイン6は金属からなり、チャネル保護膜に空けたコンタクトホール8を介してa-Si膜5とつながっている。画素電極15はソース7、およびドレイン6と同一層にある。また、信号線2は走査線3と同一層で形成されている。信号線2の一部14はドレイン6と同一に形成されて、信号線2とのコンタクトホール9を介して最下層の信号線2とつながっている。

【0020】以下に図4をも参照して、本発明の第2の実施の形態例の製造方法を説明する。第1の実施の形態例と同様にしてガラス基板20の上にゲート電極1、走査線3、信号線2の一部14を形成し(図4(a)、図4(f))、ゲート絶縁膜4、ノンドープのa-Si膜5を連続成膜し、この半導体層をアイランド状にパターニングする(図4(b)、図4(g))。次にチャネル保護膜11を成膜し、コンタクトホール8および下部の

信号線2とのコンタクトホール9を形成する。(図4(c)、図4(h))。P+イオンドーピングによりコンタクト層10を形成したのち、Cr、W、Ta、Alなどの金属を成膜、パターニングして信号線2の一部14およびソース電極13・ドレイン電極12を形成する(図4(d)、図4(i))。最後にITOなどの透明性導電材料をスパッタし、画素電極15をパターニングする(図4(e)、図4(j))。よってこのパターニング工程は5工程となる。

10 【0021】次に図5を参照して本発明の第3の実施の形態例を説明する。構造は第1または第2の実施の形態例と同じであるが、コンタクト層10を形成するのに、P+イオンドーピングを行うのではなく、チャネル保護膜11をプラズマCVDで形成後、CVD内でPH3を用いてプラズマドーピングを行う。プラズマドーピング条件は例えば、ガス流量1000sccm、圧力8Pa、パワー100W、温度250度、時間1分となる。これによりイオンドーピング装置を使わずに低コストでコンタクトを形成できる。

20 【0022】

【発明の効果】以上説明したように、本発明によるアクティブマトリクス基板はゲート、アイランド、コンタクト、画素形成のパターニング工程で形成され、従来技術に比べパターニング工程を減少させることができる。

【0023】よって、本発明のアクティブマトリクス基板及びその製造方法によれば、チャネル保護型薄膜トランジスタパネルで問題となるプロセス複雑化に伴う歩留まりの劣化やコストの増大を回避でき、特性の優れた製品を高歩留まりで低製造コストで作ることができる。

30 【図面の簡単な説明】

【図1】本発明の第1の実施の形態例の構造を示す平面図である。

【図2】(a)～(d)は本発明の第1の実施の形態例の製造方法を説明するための各工程断面図、(e)～(h)は(a)～(d)のそれぞれに対応する平面図である。

【図3】本発明の第2の実施の形態例の構造を示す平面図である。

40 【図4】(a)～(e)は本発明の第2の実施の形態例の製造方法を説明するための各工程断面図、(f)～(j)は(a)～(e)に対応する平面図である。

【図5】本発明の第3の実施の形態例の製造方法を説明するための工程断面図である。

【図6】従来のアクティブマトリクス液晶表示装置の構造を示す断面図である。

【図7】(a)～(h)は従来のチャネル保護型薄膜トランジスタの製造方法を説明するための各工程断面図である。

50 【図8】(a)～(h)は従来技術の別の薄膜トランジスタの製造方法を説明するための各工程断面図である。

7

【図9】(a)～(f)は従来技術のさらに別の薄膜トランジスタの製造方法を説明するための各工程平面図である。

【符号の説明】

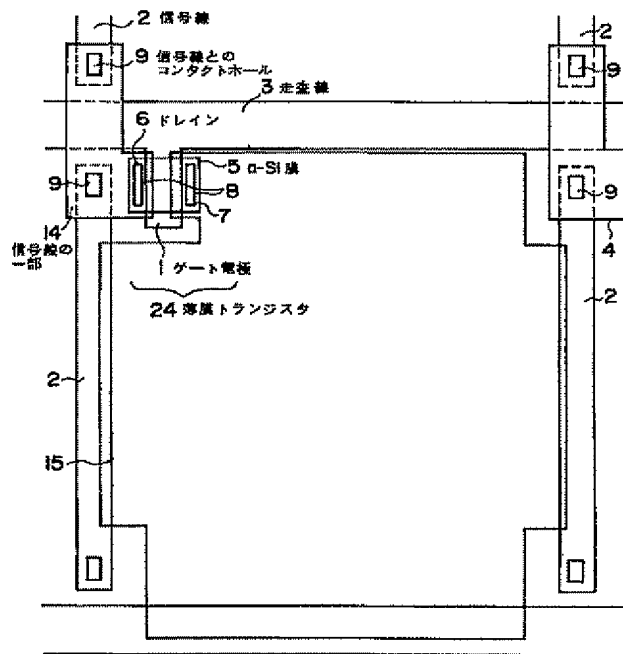
- 1, 201, 301 ゲート電極
 2, 123, 302 信号線
 3, 122, 303 走査線
 4, 204, 304 ゲート絶縁膜
 5, 205, 305 a-Si膜
 6, 206 ドレイン
 7, 207 ソース
 8, 208, 308 コンタクトホール
 9 信号線とのコンタクトホール
 10, 210 コンタクト層
 11, 211 チャンネル保護膜

8

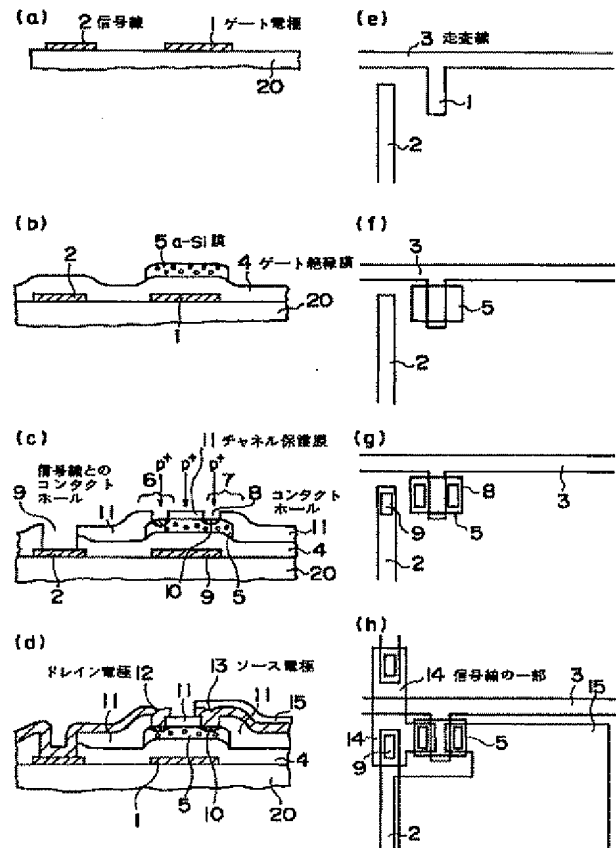
- * 12, 213, 313 ドレイン電極
 13, 212, 312 ソース電極
 14 信号線の一部
 15, 215, 315 画素電極
 20, 200 ガラス基板
 24, 124 薄膜トランジスタ
 119 薄膜トランジスタ(TFT)基板
 120 対向基板
 121 TN液晶
 10 126 RGB色層
 127, 327 遮光層
 205a a-Si層の側面部
 217 周辺コンタクト部
 218, 318 パッシベーション膜

*

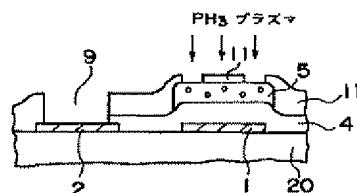
【図1】



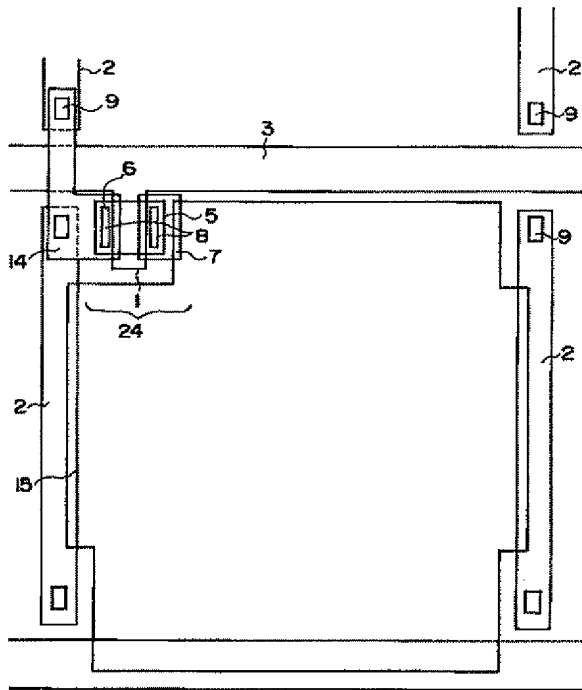
【図2】



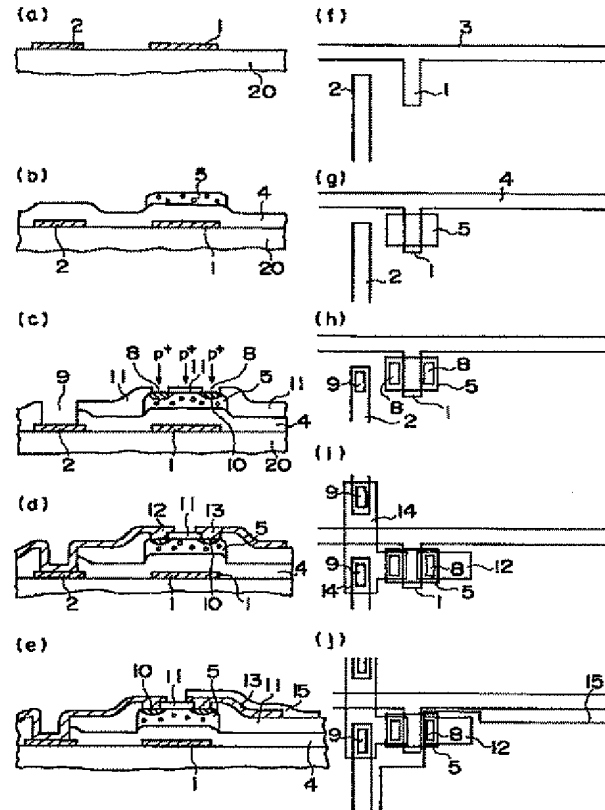
【図5】



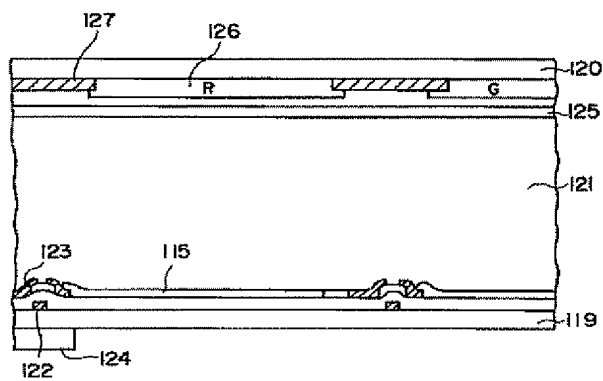
【図 3】



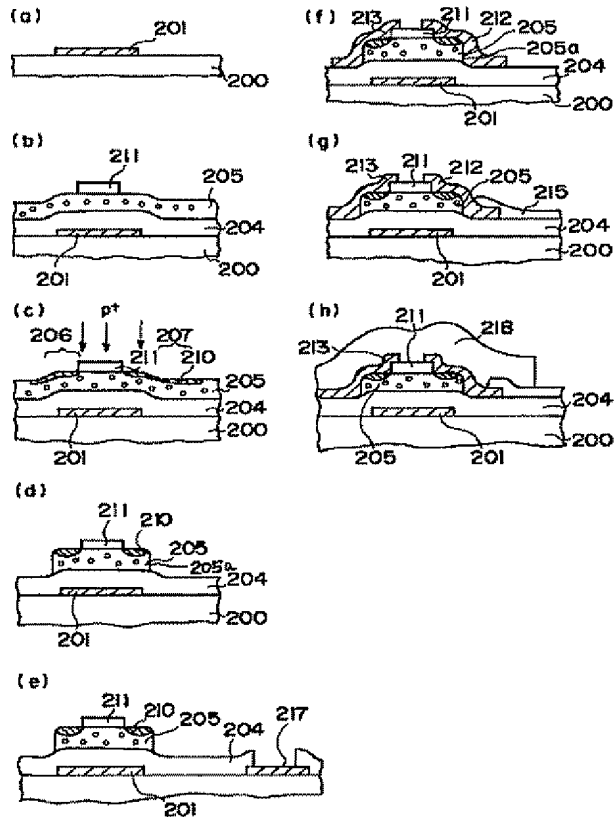
【図 4】



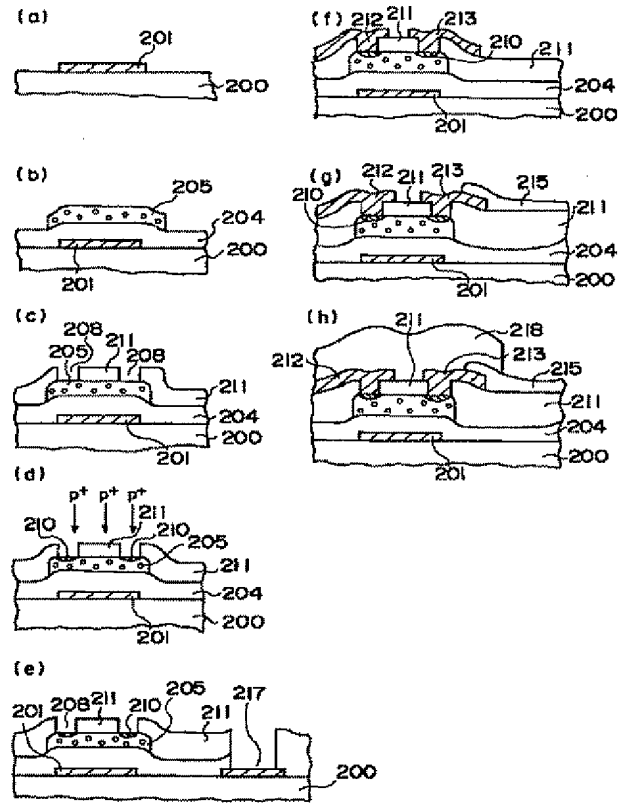
【図 6】



【図7】



【図8】



【図9】

